

Лабораторная работа 4

По курсу: «Компьютерная схемотехника»

Проектирование регистровой памяти

1. Цель лабораторной работы:

овладеть знаниями и практическими навыками по проектированию устройств памяти, таких как регистровое ОЗУ (FM). Лабораторная работа также служит для овладения навыками программирования и отладки описания RAM на языке VHDL.

2. Теоретические сведения

Блок FM (Fast Memory – быстрая память) предназначен для быстрого доступа и выдачи n -разрядных слов по нескольким произвольным адресам. В лабораторной работе предполагается, что данное имеет разрядность N_R от 4 до 16 бит и объем памяти равен M от 8 до 32 регистров. Каждый из каналов доступа к FM имеет свою адресную шину. Количество каналов доступа равно 2 или 3 и обозначаются буквами B, D и Q. Один из каналов предназначен для записи, а остальные – для чтения. Каналы могут быть двунаправленными, т.е. использоваться как для записи, так и для чтения. В лабораторной работе двунаправленный канал рекомендуется исполнить на основе шины с тремя состояниями, как в лабораторной работе 3.

При проектировании микросхем, если объем RAM невелик, как в случае FM, то память набирают из отдельных триггеров.

Запись данных в модуль FM всегда выполняется по фронту синхросерии или сигнала записи, т.е. вход модуля можно рассматривать как вход синхронного регистра. Чтение данного выполняется сразу же после подачи адреса в FM.

3. Элементная база

При выполнении лабораторной работы предлагается реализовать RAM на базе ПЛИС фирмы Xilinx. При этом используется такая же элементная база, как и в лабораторной работе 3. Там же описаны элементы, предназначенные для реализации тристабильных шин.

Кроме того, в библиотеку элементов ПЛИС фирмы Xilinx входят элементы типа RAM16X1D, представляющие собой FM объемом 16 однобитных слов с одним каналом для записи и чтения и другим каналом – для чтения. И поэтому эти элементы могут успешно использоваться при построении FM с двумя каналами. Этот элемент имеет следующий интерфейс.

```
entity RAM16X1D is
port (D : in std_ulogic; -- данное для записи по 1 каналу
      WE : in std_ulogic; -- разрешение записи
      WCLK: in std_ulogic;-- синхросигнал для записи
      A0,A1,A2,A3: in std_ulogic;-- адрес 1 канала
      DPRA0,DPRA1,DPRA2,DPRA3:in std_ulogic;-- адрес 2 канала
      SPO : out std_ulogic;-- данное для чтения по 1 каналу
      DPO : out std_ulogic -- данное для чтения по 2 каналу
      );
end RAM16X1D;
```

4. Примеры описания FM

Рассмотрим пример проектирования трехканальной FM объемом 8 шестнадцатиразрядных слов. Объявление объекта для такой FM выглядит следующим образом.

```
use work.CNetlist.all;
entity FM is
port(CLK:in BIT; -- синхровход
```

```

WR:in BIT; -- сигнал записи
AB:in BIT_VECTOR(2 downto 0);-- адрес канала B
AD:in BIT_VECTOR(2 downto 0);-- адрес канала D
AQ:in BIT_VECTOR(2 downto 0);-- адрес канала Q
Q: in BIT_VECTOR (15 downto 0);-- данные канала Q
B: out BIT_VECTOR(15 downto 0);-- данные канала B
D: out BIT_VECTOR(15 downto 0);-- данные канала D
end FM;

```

4.1. Поведенческая модель FM

Поведенческая модель FM во многом похожа на поведенческую модель RAM, описанную в лабораторной работе 3. Отличия заключаются в том, что две параллельных операции чтения и запись выполняются по трем различным адресам, а регистр адреса и тристабильный буфер - отсутствуют.

```

architecture VEN of FM is
  type MEM8X16 is array(0 to 7) of BIT_VECTOR(15 downto 0);
  signal addr,do: BIT_VECTOR(15 downto 0);
begin
  FM8:process(CLK,AD,AB) ----- блок регистровой памяти -----
    variable RAM: MEM8x16;
    variable addrq,addrd,addrb:natural;
  begin
    addrq:= BIT_TO_INT(AQ);
    addrd:= BIT_TO_INT(AD);
    addrb:= BIT_TO_INT(AB);
    if CLK='1' and CLK'event then
      if WR = '1' then
        RAM(addrq):= Q; -- запись
      end if;
      B<= RAM(addrb); -- чтение канала B
      D<= RAM(addrd); -- чтение канала D
    end if;
  end process;
end VEN;

```

Данное описание относится к моделям, описанным синтезируемым стилем. И компилятор-синтезатор выполняет эту память на отдельных триггерах.

4.2. Структурная модель FM

Рассмотрим проектирование FM на базе PLMT и триггеров. Блок FM должен содержать 8 регистров размером 16 бит, два мультиплексора считанных данных по каналам B,D и дешифратор записи по каналу Q (рис. 4.1).

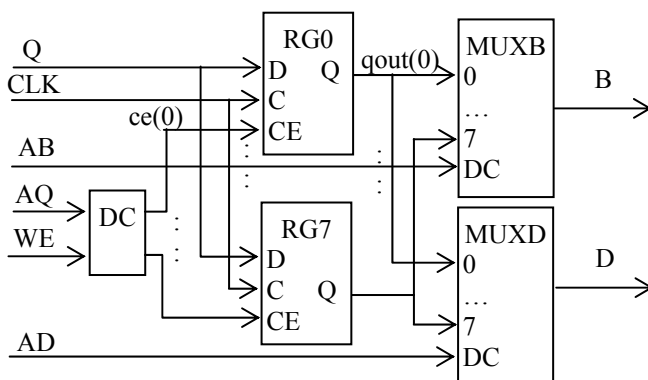


Рис.4.1. Структура блока FM

Дешифратор DC состоит из восьми PLM, каждая из которых декодирует три разряда адреса. Первая из них описывается следующим образом при $D = WE$, $C = A_2$, $B = A_1$, $A = A_0$.

```

architecture PLM_DC0 of PLM_4 is
  begin
    Y<=(D and not C and not B and not A) after td;

```



```

    end generate;
end generate;
-- выходные мультиплексоры -----
U_MUX: for i in 0 to 15 generate
    MUXD: MUX8 port map(D0=>y(0,i), D1=>y(1,i), D2=>y(2,i), D3=>y(3,i),
        D4=>y(4,i), D5=>y(5,i), D6=>y(6,i), D7=>y(7,i),
        A=>AD, -- адрес
        Q=>D(i)); -- выход канала D
    MUXB: MUX8 port map(D0=>y(0,i), D1=>y(1,i), D2=>y(2,i), D3=>y(3,i),
        D4=>y(4,i), D5=>y(5,i), D6=>y(6,i), D7=>y(7,i),
        A=>AB, -- адрес
        Q=>B(i)); -- выход канала B
end generate;
end STR;
```

Для связи выходов триггеров FM с входами мультиплексоров используется сигнал *у* типа двумерный массив размерами 8x16.

4.3. Испытательный стенд для FM

Рассмотрим испытательный стенд - объект FM_TV – для архитектуры FM(STR), у которой эталонной моделью является архитектура RAM(ВЕН). Испытания заключаются в подаче случайных адресов, данных на вход DQ и периодического сигнала записи на обе модели и сравнении состояния выходных шин данных моделей. Испытательный стенд аналогичен стенду в лабораторной работе 3. Но количество генераторов случайных чисел увеличено до 4, а число компараторов – до 2.

5. Порядок проведения лабораторной работы

В соответствии с номером варианта, выбирается задание на выполнение лабораторной работы. Параметры задания включают:

- тип логического элемента (PLM или LUT);
- максимальное число термов PLM или количества входов LUT (4 или 5);
- разрядность и объем результирующей схемы FM;
- количество каналов FM и их направленность.

Выполнение лабораторной работы имеет 3 стадии: разработка поведенческой модели RAM, разработка структурной модели RAM и разработка испытательного стенда с проверкой функционирования RAM.

6. Отчет по лабораторной работе.

Отчет по лабораторной работе должен содержать:

- цель работы,
- описание варианта FM,
- ход синтеза моделей PLM или содержимого LUT,
- тексты описаний поведенческой и структурной моделей FM,
- графики сигналов, снятых на испытательном стенде,
- измеренные задержки сигналов,
- выводы.

7. Вопросы по лабораторной работе.

Каково функциональное назначение FM?

Какие элементы используют при проектировании FM?

Какими способами задают FM в проектах на VHDL?

От чего и насколько зависят аппаратные затраты FM?

Почему в структурном проекте FM вставка компонента дешифратора выполнена как вставка объекта, а вставка триггера – как вставка компонента?