

Вступ. Хід проектування схем з VHDL



VHDL або схеми?

Проектування великих обчислювальних пристроїв (ОП) – За допомогою VHDL простіше і швидше ввести і перевірити проект. *10 рядками VHDL можна описати як 1, так і 100000 триггерів.*

Проект на VHDL –об'єднання структури ОП і алгоритма його функціонування- одночасний опис ОП в статиці і динаміці.

Проект на VHDL - самодокументований, тобто не потребує додаткового опису людською мовою і у вигляді схем. *Нечіткість і неохайність опису виключаються. Проект на VHDL перевіряється елементарно.*

VHDL або схеми?

Висока надійність проекту - Синтаксичний аналіз, моделювання і компіляція в логічну схему швидко виявляють помилки проекту.

Проект на VHDL - універсальний проект
- Можуть бути налаштовані структурні і функціональні параметри проекту (розрядність, об'єм пам'яті, елементна база, склад блоків і структура зв'язків).

Проект на VHDL - портативний проект - розроблений для однієї елементної бази, напр. Xilinx FPGA, без зусиль переноситься на іншу елементну базу, напр. Altera FPGA або ASIC.

VHDL або схеми?

Проект на VHDL - довгоживучий проект.

Схема під конкретну елементну базу живе не довше ніж ця база - 2-4 роки. Хороше рішення на VHDL (винахід) може жити десятиріччя.

VHDL - універсальний засіб опису ОП на рівнях:

алгоритмічному

структурному

регістрових передач (RTL) і потоків даних
логічному

аналогових схем

+ підтримка будь-якої ієрархії.

САПР з VHDL?

Гнучкість - проект, описаний на VHDL, може бути легко налаштований під конкретні завдання споживача.

Універсальна мова - VHDL - загальноприйнята мова для всіх основних виготівників FPGA/CPLD/ASIC як стандартна мова для завдання складних проектів. Проектування з HDL - стала тенденція в інженерній технології.

Моделювання з урахуванням затримок (Timing Simulation) - всі виробники FPGA/CPLD забезпечують генерацію моделей результатів розміщення і трасування, які описані на VHDL (Vital-моделі і SDF-файли).

САПР з VHDL?

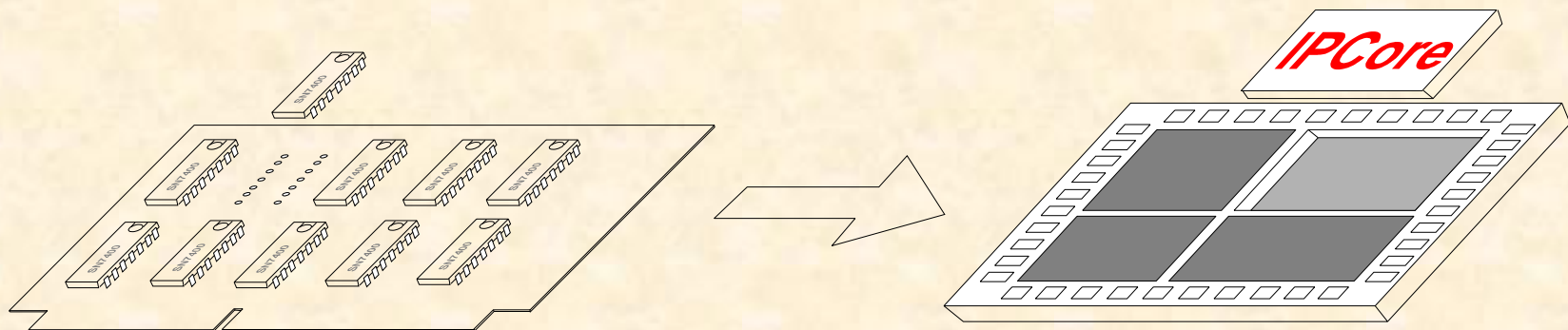
Стандартне підключення блоків - конструкції `entity`, `port map`, `configuration` забезпечують стикування блоків, розроблених різними фірмами і розробниками у різному складі.

Стандартне тестування - на всіх етапах розробки виконується тестування за однією методикою одними і тими самими тестами.

VHDL - стандарт майбутнього - всі нові САПР основані на технології HDL. Використання VHDL - гарантія того, що через 5 і 15 років знайдеться САПР, що підтримує ваші розробки.

Проектування систем на кристалі (SOC)

System On Chip



Стиль VHDL для синтезу

**Структурний
стиль VHDL**

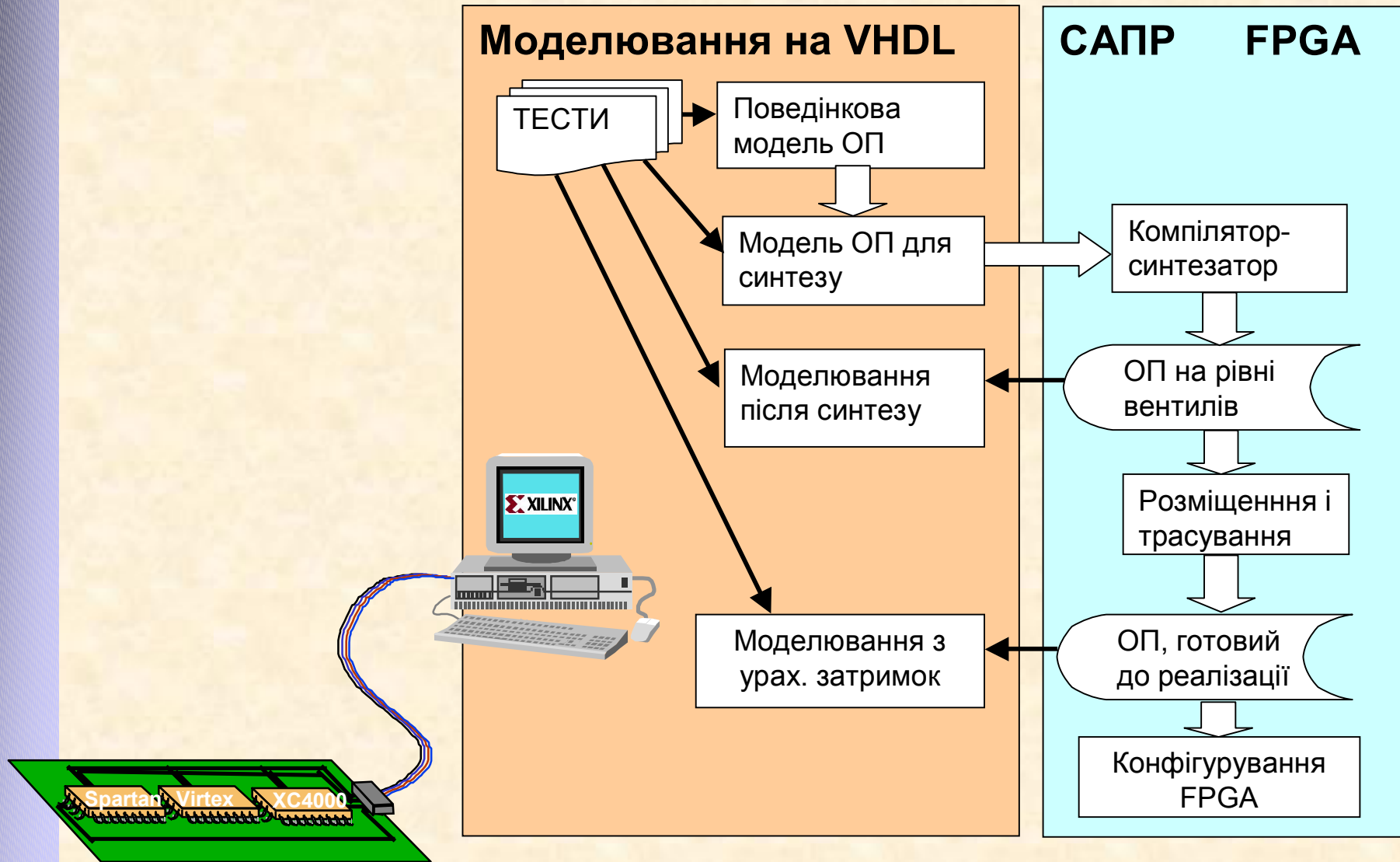
VHDL

**Поведінковий
стиль VHDL**

**Стиль потоків
даних**

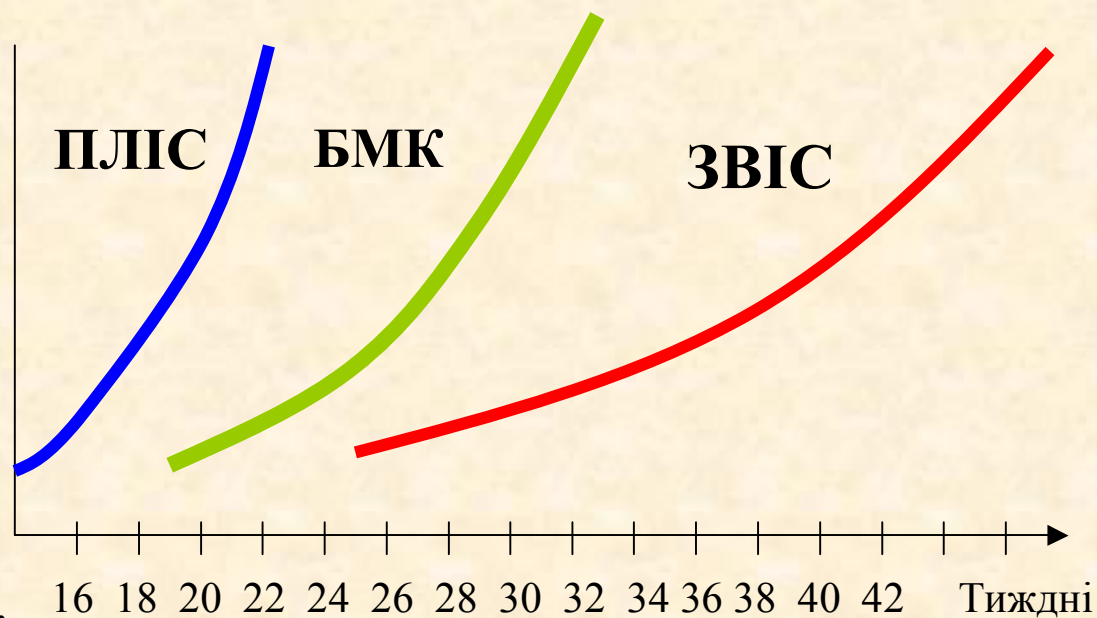
**Стиль VHDL
для синтезу**

Процес розробки ОП



Середня тривалість циклу розробки проекту

Проектні
норми



Журнал Xcell, N3,
1999

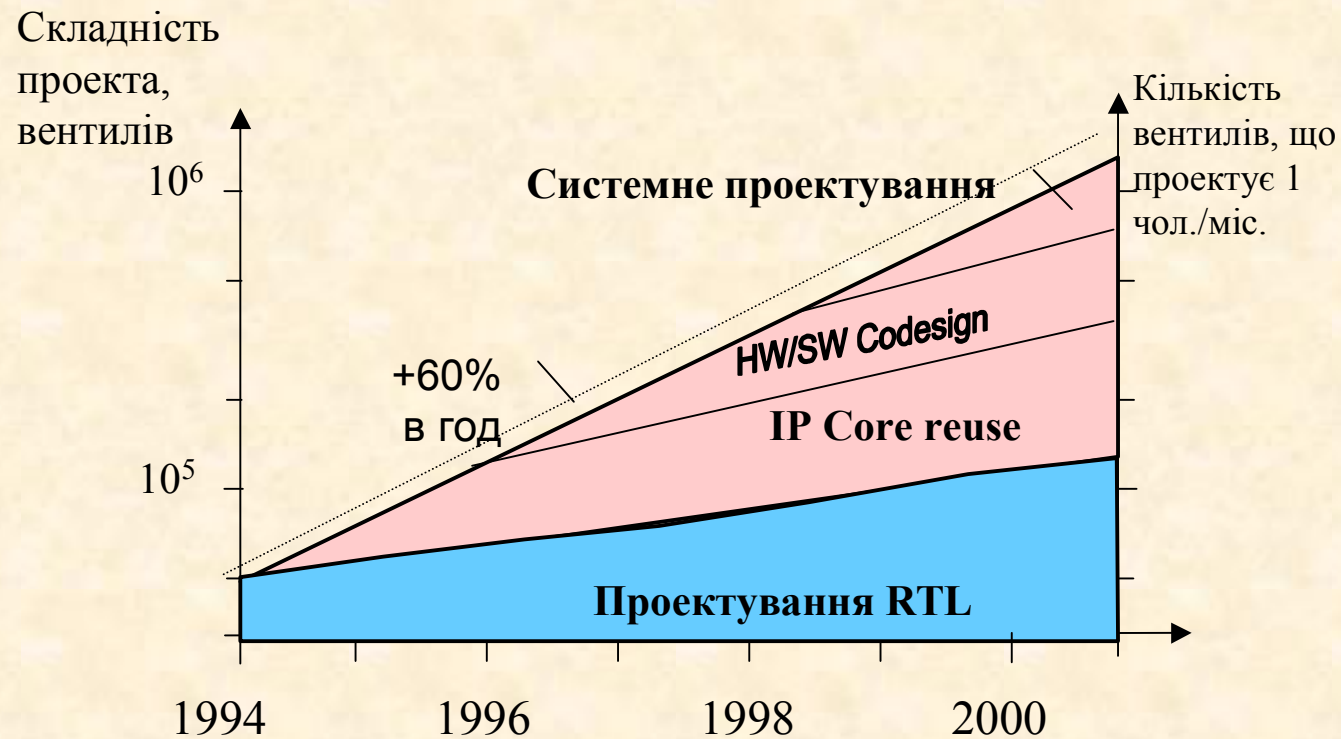
Продуктивність праці

**Середня продуктивність розробника ОП =
900 рядків на Verilog за рік,**

де 1 рядок відображається, в середньому, в 11 вентилів
і 3 тригера

(журнал IEEE Micro, Jan/Feb 1999)

Складність проектів SOC і можливості технології проектування



Журнал IEEE Micro, Sept .1999

Як підвищити продуктивність праці розробника?

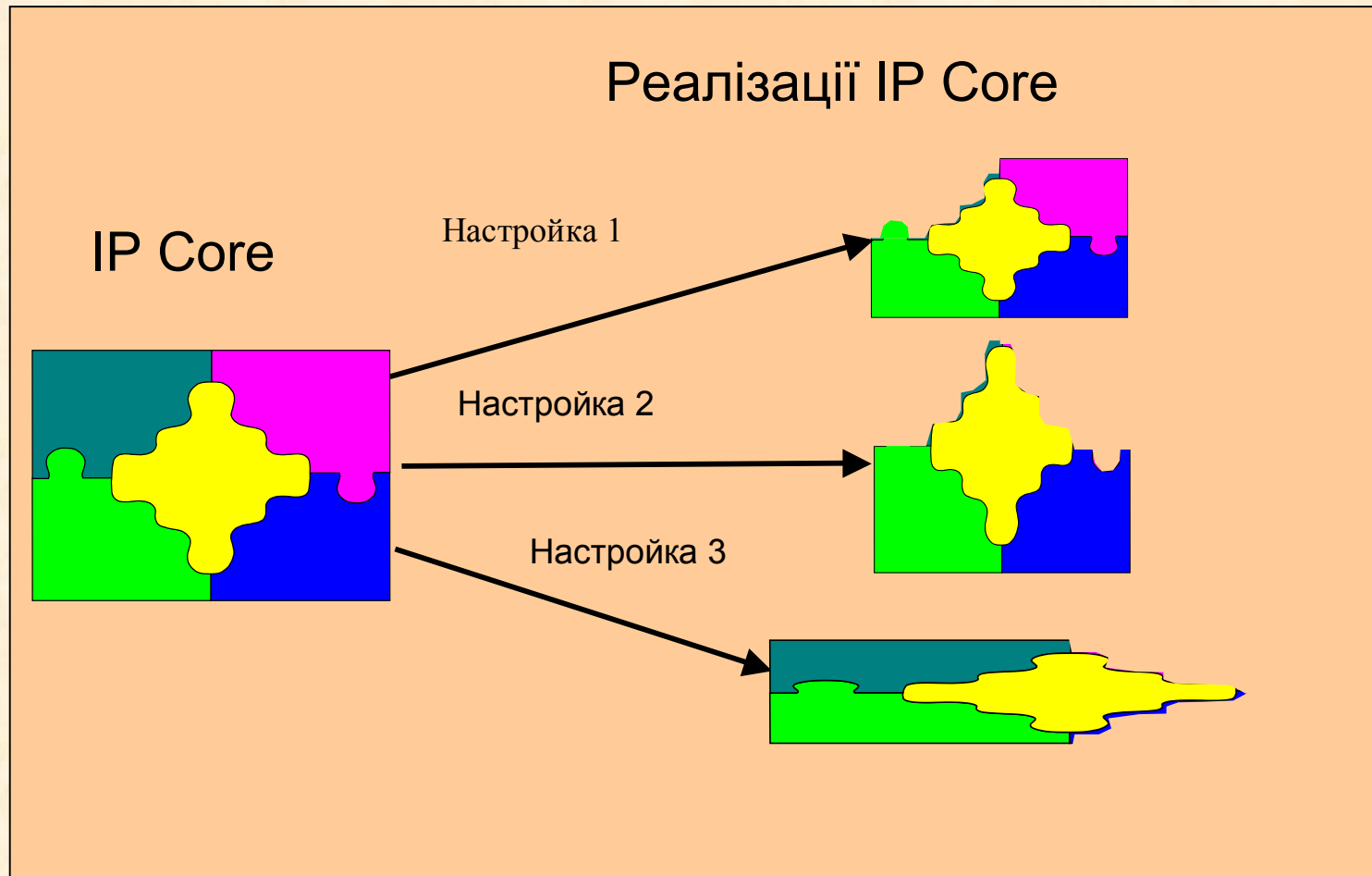
Технологія IP Cores (віртуальні модулі)

**Нові ефективні системи -
симулятори VHDL**

Відображення алгоритмів більш
високого рівня, ніж RTL

Hardware-Software Codesign

Технологія IP Cores



Висновки

1. **VHDL - універсальний стандартний засіб опису ОП майже** на всіх рівнях як для моделювання, так і для синтезу
 2. SOC на ПЛІС – найшвидкіший і сучасний шлях проектування засобів електроніки.
 3. Розробка SOC виконується з описом мовою VHDL на рівні RTL, з повторним використанням IP Core, сумісним апаратно-програмним проектуванням (HW/SW Codesign).
 4. IP Core або віртуальний модуль – стандартизований повторно використовуваний проект, який описано мовою VHDL.
-